

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
<div>5A1 c.d.</div> <div><div>CPU 226XM/DC/DC/DC</div><div>24We/16Wytranz</div><div>Input (1...)</div><div><div>01X:10 \emptyset 24M</div><div>01X:11 \emptyset +24L</div></div><div><div><div><div>RT-10</div><div>K10</div><div>5</div><div>9</div></div><div><div>K11</div><div>5</div><div>9</div></div></div><div><div><div>RT-12</div><div>2K1</div><div>53</div><div>54</div></div><div><div>2S1</div><div>7</div><div>8</div></div><div><div>2K2</div><div>5</div><div>9</div></div></div><div><div><div>RT-13</div><div>3K1</div><div>53</div><div>54</div></div><div><div>3S1</div><div>7</div><div>8</div></div><div><div>3K2</div><div>5</div><div>9</div></div></div></div></div>															
<div>Projektował: mgr inż. Marek Józefiak nr upr. 5911/Gd/94</div>		<div>Rozdzielnica technologiczna RT</div> <div>Schemat ideowy wejściowych sygnatów binarnych 5A1 1.0–1.7</div>										<div>Data: 05–2007</div>			
<div>Sprawdził: inż. Marian Nowosielski nr upr. ZGP–III–630/5/79</div>												<div>Arkusze:</div>			
<div>ELKAM – Gdańsk</div>		<div>SUW Płowce gmina Radziejów</div>										<div>Nr rys. RT–16</div>			